

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-017132
 (43) Date of publication of application : 22. 01. 1999

(51) Int. Cl. H01L 27/10
 G11C 11/41
 G11C 11/407

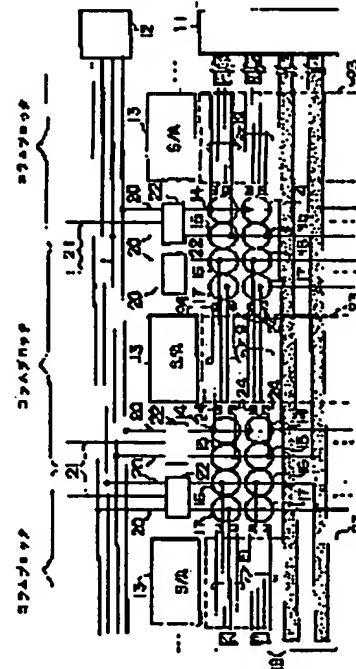
(21) Application number : 09-164619 (71) Applicant : FUJITSU LTD
 (22) Date of filing : 20. 06. 1997 (72) Inventor : FUJIEDA WAICHIRO

(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PROBLEM TO BE SOLVED: To contrive to provide subword decoders in each column block, which drives a sensing amplifier, without augmenting the area of a chip, by a method wherein a semiconductor memory comprises the subword decoders to make a subword selection only to subword lines on a memory cell region provided in each column block.

SOLUTION: When subword decoders 14 to 17 are selected, main word lines 18 are connected with subword lines 19. Accordingly, in one main word line selected by a main word decoder 11, the one subword line 19 selected by a subword decoder selection circuit 12 is raised to a high state only to column blocks selected by column block selection lines 21. As a result, a hierarchical word selection in each column block becomes possible and as the subword decoders are provided on both sides of a memory cell region in each column block, the number of contacts, which are arranged in the directions intersecting orthogonally the word lines, is decreased and an augmentation in a chip size can be avoided.



LEGAL STATUS

[Date of request for examination] 21. 09. 2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17132

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁶

H 0 1 L 27/10

G 1 1 C 11/41

11/407

識別記号

4 8 1

F I

H 0 1 L 27/10

G 1 1 C 11/34

4 8 1

3 0 1 E

3 5 4 D

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号

特願平9-164619

(22) 出願日

平成9年(1997) 6月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 藤枝 和一郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

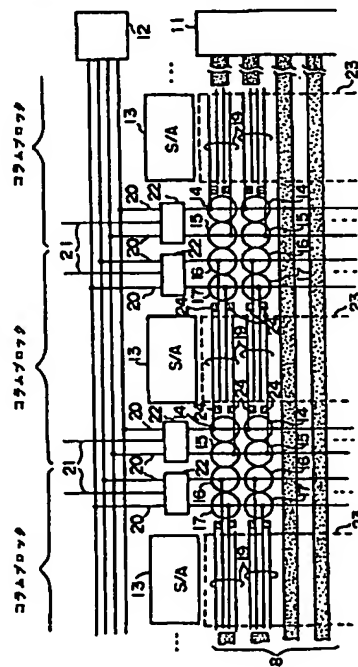
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 本発明は、半導体記憶装置に於てチップ面積を増大させることなく、センスアンプを駆動するブロック毎にサブワードデコーダを設けることを目的とする。

【解決手段】 階層化ワードデコードによりワード選択を行う半導体記憶装置は、コラムブロック毎に設けられたメモリセル領域と、コラムブロック毎に設けられ該メモリセル領域に延在するサブワード線と、該サブワード線の延長上で該メモリセル領域の両側に設けられ、該メモリセル領域の該サブワード線に対してのみサブワード選択を行うサブワードデコーダを含むことを特徴とする。

本発明によるサブワードデコーダ配置を示す図



【特許請求の範囲】

【請求項 1】 階層化ワードデコードによりワード選択を行う半導体記憶装置であって、

コラムブロック毎に設けられたメモリセル領域と、
コラムブロック毎に設けられ該メモリセル領域に延在するサブワード線と、

該サブワード線の延長上で該メモリセル領域の両側に設けられ、該メモリセル領域の該サブワード線に対してのみサブワード選択を行うサブワードデコーダを含むことを特徴とする半導体記憶装置。

【請求項 2】 前記サブワード線は、選択されたコラムブロックに対してのみ選択活性化されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記コラムブロック毎に設けられたセンスアンプブロックを含み、前記選択されたコラムブロックに対してのみ該センスアンプブロックが駆動されることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記サブワード線は、前記メモリセル領域の第 1 の側の前記サブワードデコーダ及び第 2 の側の前記サブワードデコーダに、一本毎に交互に接続されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記サブワード線は、前記メモリセル領域の第 1 の側の前記サブワードデコーダ及び第 2 の側の前記サブワードデコーダに、2 本毎に交互に接続されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 前記サブワードデコーダは NMOS トランジスタ及び PMOS トランジスタを含み、該 NMOS トランジスタが形成される第 1 の基板上領域は、隣り合うサブワードデコーダ間で隣接することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】 前記サブワードデコーダは NMOS トランジスタ及び PMOS トランジスタを含み、該 PMOS トランジスタが形成される第 2 の基板上領域は、隣り合うサブワードデコーダ間で隣接することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 8】 複数のメインワード線と、
該複数のメインワード線の一本を選択してメインワード選択を行うメインワードデコーダと、

コラムブロック毎に設けられたメモリセル領域と、
コラムブロック毎に設けられ該メモリセル領域に延在するサブワード線と、

該サブワード線の延長上で該メモリセル領域の両側に設けられ該メモリセル領域の該サブワード線に対してのみサブワード選択を行うサブワードデコーダを含むことを特徴とする半導体記憶装置。

【請求項 9】 前記サブワード線は、選択されたコラムブロックに対してのみ選択活性化されることを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】 前記コラムブロック毎に設けられたセンスアンプブロックを含み、前記選択されたコラムブロッ

クに対してのみ該センスアンプブロックが駆動されることを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 11】 前記サブワードデコーダは NMOS トランジスタ及び PMOS トランジスタを含み、該 NMOS トランジスタが形成される第 1 の基板上領域は、隣り合うサブワードデコーダ間で隣接することを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 12】 前記サブワードデコーダは NMOS トランジスタ及び PMOS トランジスタを含み、該 PMOS トランジスタが形成される第 2 の基板上領域は、隣り合うサブワードデコーダ間で隣接することを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 13】 階層化ワードデコードによりワード選択を行う半導体記憶装置であって、

コラムブロック毎に設けられたメモリセル領域と、
該メモリセル領域の両側に設けられ該メモリセル領域のサブワード線に対してのみサブワード選択を行うサブワードデコーダを含むことを特徴とする半導体記憶装置。

【請求項 14】 前記サブワードデコーダは、N 型トランジスタ及び P 型トランジスタを含み、該 N 型トランジスタが形成される第 1 の基板上領域及び該 P 型トランジスタが形成される第 2 の基板上領域の各々は、隣り合うサブワードデコーダ間で隣接することを特徴とする請求項 13 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置に関し、詳しくは階層化ワードデコーダ方式を用いた半導体記憶装置に関する。

【0002】

【従来の技術】 階層化ワードデコーダ方式とは、ワード選択を行うためのワード線を、メインワード線及びサブワード線に階層化したものである。通常ワード線材料はポリシリコンであるが、ポリシリコンは配線材料としては抵抗が高く信号遅延が大きくなるため、平行して配置したアルミ配線とポリシリコンのワード線とを適当な間隔でコンタクトさせ、ワード線の抵抗を下げるが行われる。しかし集積度が増すと配線間隔が狭くなり、アルミ配線をポリシリコン配線と同じピッチでパターンニングすることが困難になる。階層化ワードデコーダ方式は、このような問題点を克服するために採用されるものであり、ポリシリコンからなるワード線を遅延が許せる程度まで分割してサブワード線とし、メインワード線にはアルミ配線を用いることで遅延をなくすものである。

【0003】 図 6 は、従来の階層化ワードデコーダ方式のワード線構造を示す図である。メインワードデコーダ 201 は、ローアドレスをデコードして、複数のメインワード線 208 から一本を選択して HIGH にする。メインワード線 208 の配線層とは別の配線層に、各メインワード線 208 に重ねて 4 本のサブワード線 209 が

配置される。4本のサブワード線209は、4種類のサブワードデコーダ204乃至207に接続される。各種類のサブワードデコーダ204乃至207は、メインワード線208に直交する方向に一列に並んで配置される。

【0004】サブワードデコーダ選択回路202は、サブワードデコーダ選択線210を介して、4種類のサブワードデコーダ204乃至207のうちの1種類を選択する。サブワードデコーダ204乃至207は、選択されると、メインワード線208をサブワード線209に接続する。従って、メインワードデコーダ201によって選択された一本のメインワード線に於てのみ、サブワードデコーダ選択回路202によって選択された一本のサブワード線209がHIGHになる。これによって階層的なワード選択が可能になる。例えば読みだし動作の場合には、選択されたワードに対応するメモリセル（図示せず）のデータが、複数のセンスアンプブロック203のセンスアンプに読み込まれる。

【0005】サブワードデコーダ204乃至207は、メモリセル上のサブワード線209とは別の配線層に配置される。従ってサブワードデコーダ204乃至207は、コンタクト211を介して、各サブワード線209に接続される。半導体記憶装置に於ては、消費電流を可能なかぎり低減することが望ましい。この要求に応えるために、ローアクセスを実行する時点までにコラムアドレスを取り込んで於て、特定のコラムアドレスのコラムブロックに対してのみセンスアンプを駆動することが考えられる。即ち、図6の例で言えば、センスアンプブロック203の全てを駆動するのではなく、指定されたコラムアドレスに対応する一つのセンスアンプブロック203のみを動作させることになる。

【0006】

【発明が解決しようとする課題】特定のコラムブロックに対してのみセンスアンプブロック203を駆動するとすると、メモリセルからのデータの読み出しも当該コラムブロックに対してのみ行う必要がある。何故なら、全てのコラムブロックに於てメモリセルからデータを読みだして、一つのセンスアンプブロック203だけを駆動するとすると、駆動されないセンスアンプブロック203に対応するデータがセンスアンプに格納されることなく、メモリセルにデータをリストアすることが出来ない。従って、センスアンプブロック203が駆動されるコラムブロック以外のコラムブロックに於ては、メモリセルのデータが破壊されることになる。

【0007】図6の構成に於ては、サブワード線209はサブワードデコーダ204乃至207から両側に延びて、両側の2つのコラムブロック（2つの列）で共有されている。従って指定されたコラムブロックに対するサブワードデコーダのみを選択可能であるとしても、一本のサブワード線209が選択されると、2つのコラムブ

ロックからメモリセルのデータが読み出されることになる。しかし駆動されるセンスアンプブロック203は上述のように一つのみとすると、センスアンプブロック203が駆動されない方のコラムブロックに於ては、データが破壊されてしまうことになる。

【0008】これを避けるためには、サブワードデコーダをコラムブロック毎に設けることが考えられる。図7は、階層化ワードデコーダ方式の別のワード線構造を示す図である。図7は、メインワード線及びサブワード線とその周辺のみを示し、それ以外の要素は省略してある。図7に示されるように、サブワード線209は、サブワードデコーダ204乃至207から片側にだけ延びて、一つのコラムブロックに対してのみ設けられる。従って、一つのコラムブロックに対してのみサブワードデコーダの選択を行うことで、一つのコラムブロックに対してのみワード選択を行うことが出来る。これによって、上述のようなメモリセルデータの破壊を避けることが出来る。

【0009】しかし図7のような構成ではなく、従来主に図6のような構成が用いられるのには理由がある。それはチップサイズの問題である。図7のような構成にすると、一本のメインワード線208に対して、コンタクト211を4つ縦方向に並べる必要がある。しかしながらコンタクト211は、互いにそれ程近接して設けることが出来ない。従って図7のような構成においては、サブワード線209間の間隔が図1の場合に比べて広がることになり、図の縦方向にチップサイズが増大することになる。

【0010】また図7の構成では、各コラムブロックに対してサブワードデコーダが設けられるために、図6の構成に比べてサブワードデコーダの数が2倍になってしまう。従って、図面の横方向にチップサイズが増大する結果となる。従って本発明の目的は、半導体記憶装置に於てチップ面積を増大させることなく、センスアンプを駆動するブロック毎にサブワードデコーダを設けることである。

【0011】

【課題を解決するための手段】請求項1の発明に於ては、階層化ワードデコードによりワード選択を行う半導体記憶装置は、コラムブロック毎に設けられたメモリセル領域と、コラムブロック毎に設けられ該メモリセル領域に延在するサブワード線と、該サブワード線の延長上で該メモリセル領域の両側に設けられ、該メモリセル領域の該サブワード線に対してのみサブワード選択を行うサブワードデコーダを含むことを特徴とする。

【0012】上記発明に於ては、コラムブロック毎にメモリセル領域の両側にサブワードデコーダを設けるので、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。請求

項 2 の発明に於ては、請求項 1 記載の半導体記憶装置に於て、前記サブワード線は、選択されたコラムブロックに対してのみ選択活性化されることを特徴とする。

【0013】上記発明に於ては、選択されたコラムブロックに対してのみサブワード線を選択活性化するので、選択コラムブロックのデータのみをアクセスすることが出来る。請求項 3 の発明に於ては、請求項 2 記載の半導体記憶装置に於て、前記コラムブロック毎に設けられたセンスアンプブロックを含み、前記選択されたコラムブロックに対してのみ該センスアンプブロックが駆動されることを特徴とする。

【0014】上記発明に於ては、選択されたコラムブロックに対してのみ該センスアンプブロックを駆動するので、電流消費量を少なく抑えることが出来ると共に、選択コラムブロックのデータのみをアクセスするのでデータが破壊されることを避けることが出来る。請求項 4 の発明に於ては、請求項 1 記載の半導体記憶装置に於て、前記サブワード線は、前記メモリセル領域の第 1 の側の前記サブワードデコーダ及び第 2 の側の前記サブワードデコーダに、一本毎に交互に接続されることを特徴とする。

【0015】上記発明に於ては、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。請求項 5 の発明に於ては、請求項 1 記載の半導体記憶装置に於て、前記サブワード線は、前記メモリセル領域の第 1 の側の前記サブワードデコーダ及び第 2 の側の前記サブワードデコーダに、2 本毎に交互に接続されることを特徴とする。

【0016】上記発明に於ては、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。請求項 6 の発明に於ては、請求項 1 記載の半導体記憶装置に於て、前記サブワードデコーダは NMOS トランジスタ及び PMOS トランジスタを含み、該 NMOS トランジスタが形成される第 1 の基板上領域は、隣り合うサブワードデコーダ間で隣接することを特徴とする。

【0017】上記発明に於ては、隣り合うサブワードデコーダ間で N チャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサイズの増大を避けることが出来る。請求項 7 の発明に於ては、請求項 1 記載の半導体記憶装置に於て、前記サブワードデコーダは NMOS トランジスタ及び PMOS トランジスタを含み、該 PMOS トランジスタが形成される第 2 の基板上領域は、隣り合うサブワードデコーダ間で隣接することを特徴とする。

【0018】上記発明に於ては、隣り合うサブワードデコーダ間で P チャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサ

イズの増大を避けることが出来る。請求項 8 の発明の半導体記憶装置は、複数のメインワード線と、該複数のメインワード線の一本を選択してメインワード選択を行うメインワードデコーダと、コラムブロック毎に設けられたメモリセル領域と、コラムブロック毎に設けられ該メモリセル領域に延在するサブワード線と、該サブワード線の延長上で該メモリセル領域の両側に設けられ該メモリセル領域の該サブワード線に対してのみサブワード選択を行うサブワードデコーダを含むことを特徴とする。

【0019】上記発明に於ては、コラムブロック毎にメモリセル領域の両側にサブワードデコーダを設けるので、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。請求項 9 の発明に於ては、請求項 8 記載の半導体記憶装置に於て、前記サブワード線は、選択されたコラムブロックに対してのみ選択活性化されることを特徴とする。

【0020】上記発明に於ては、選択されたコラムブロックに対してのみサブワード線を選択活性化するので、選択コラムブロックのデータのみをアクセスすることが出来る。請求項 10 の発明に於ては、請求項 9 記載の半導体記憶装置に於て、前記コラムブロック毎に設けられたセンスアンプブロックを含み、前記選択されたコラムブロックに対してのみ該センスアンプブロックが駆動されることを特徴とする。

【0021】上記発明に於ては、選択されたコラムブロックに対してのみ該センスアンプブロックを駆動するので、電流消費量を少なく抑えることが出来ると共に、選択コラムブロックのデータのみをアクセスするのでデータが破壊されることを避けることが出来る。請求項 11 の発明に於ては、請求項 8 記載の半導体記憶装置に於て、前記サブワードデコーダは NMOS トランジスタ及び PMOS トランジスタを含み、該 NMOS トランジスタが形成される第 1 の基板上領域は、隣り合うサブワードデコーダ間で隣接することを特徴とする。

【0022】上記発明に於ては、隣り合うサブワードデコーダ間で N チャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサイズの増大を避けることが出来る。請求項 12 の発明に於ては、請求項 8 記載の半導体記憶装置に於て、前記サブワードデコーダは NMOS トランジスタ及び PMOS トランジスタを含み、該 PMOS トランジスタが形成される第 2 の基板上領域は、隣り合うサブワードデコーダ間で隣接することを特徴とする。

【0023】上記発明に於ては、隣り合うサブワードデコーダ間で P チャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサイズの増大を避けることが出来る。請求項 13 の発明に於ては、階層化ワードデコードによりワード選択を行う半導体記憶装置は、コラムブロック毎に設けられたメモ

リセル領域と、該メモリセル領域の両側に設けられ該メモリセル領域のサブワード線に対してのみサブワード選択を行うサブワードデコーダを含むことを特徴とする。

【0024】上記発明に於ては、コラムブロック毎にメモリセル領域の両側にサブワードデコーダを設けるので、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。請求項14の発明に於ては、請求項13記載の半導体記憶装置に於て、前記サブワードデコーダは、N型トランジスタ及びP型トランジスタを含み、該N型トランジスタが形成される第1の基板上領域及び該P型トランジスタが形成される第2の基板上領域の各々は、隣り合うサブワードデコーダ間で隣接することを特徴とする。

【0025】上記発明に於ては、隣り合うサブワードデコーダ間でPチャンネルトランジスタの領域或いはNチャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサイズの増大を避けることが出来る。

【0026】

【発明の実施の形態】以下に本発明の実施例を添付の図面を用いて説明する。図1は、本発明のサブワードデコーダ配置を用いた半導体記憶装置を示す。図1の半導体記憶装置1は、アドレスバッファ2、コマンドバッファ／デコーダ3、データバッファ4、コラム制御ユニット5、ロー制御ユニット6、及びメモリセル回路7を含む。

【0027】アドレスバッファ2は、アドレス入力を受け取りバッファすると共に、ローアドレスをロー制御ユニット6に供給し、コラムアドレスをコラム制御ユニット5に供給する。コマンドバッファ／デコーダ3は、コマンド入力を受け取りバッファすると共に、コマンド内容をデコードする。コマンドバッファ／デコーダ3に於けるデコード結果に従って、コラム制御ユニット5及びロー制御ユニット6が制御される。メモリセル回路7は、メモリセル配列、メインワード線、サブワード線、ビット線、センスアンプ等を含む。

【0028】ロー制御ユニット6は、指定されたローアドレスのメインワード線及びサブワード線を立ち上げ、対応するメモリセルとセンスアンプとの間でデータの読み書きを行う。半導体記憶装置1に於て、ロー制御ユニット6によるローアドレスアクセスが実行される時点では、既にコラムアドレスが入力されている。このコラムアドレスを参照することによって、コラム制御ユニット5は、指定されたコラムアドレスに対応するコラムブロックを選択し、この選択コラムブロックに於てのみローアドレスアクセスが実行されるようにする。即ち、選択コラムブロックに於てのみ、センスアンプが駆動され、ロー制御ユニット6によるサブワード線立ち上げが行われる。

【0029】コラム制御ユニット5は更に、選択コラムブロックの指定されたコラムアドレスに対するアクセスを行う。これによって、データバッファ4と指定コラムアドレスのセンスアンプとの間で、データの読み書きが行われる。データバッファ4は、半導体記憶装置1外部から供給されるデータをバッファすると共にメモリセル回路7に供給し、またメモリセル回路7から供給されるデータをバッファして外部に出力する。

【0030】図2は、本発明によるサブワードデコーダ配置を示す図である。図2は、サブワードデコーダ配置に関して、図1のロー制御ユニット6及びメモリセル回路7の関連部分を示すものである。メインワードデコーダ11は、ローアドレスをデコードして、複数のメインワード線18から一本を選択してHIGHにする。メインワード線18の配線層とは別の配線層に、各メインワード線18に重ねて4本のサブワード線19が配置される。4本のサブワード線19は、4種類のサブワードデコーダ14乃至17に接続される。各種類のサブワードデコーダ14乃至17は、メインワード線18に直交する方向に一列に並んで配置される。

【0031】サブワードデコーダ14乃至17は、一つのセンスアンプブロック13に対して一組設けられている。即ち、サブワードデコーダ14乃至17は、各コラムブロック毎に設けられる。サブワード線19は、サブワードデコーダ14乃至17から片側に延びて、一つのコラムブロックに対してワード選択を行う。サブワードデコーダ選択回路12は、4種類のサブワードデコーダ14乃至17のうちの1種類を選択する信号を、サブワードデコーダ選択線20に供給する。またコラムブロック選択線21は、選択コラムブロックを指定する信号を、サブワードデコーダ制御回路22に供給する。選択されたコラムブロックに於て、サブワードデコーダ制御回路22は、サブワードデコーダ選択回路12からの信号をサブワードデコーダ14乃至17に供給する。

【0032】サブワードデコーダ14乃至17は、選択されると、メインワード線18をサブワード線19に接続する。従って、メインワードデコーダ11によって選択された一本のメインワード線に於て、コラムブロック選択線21によって選択されたコラムブロックに対してのみ、サブワードデコーダ選択回路12によって選択された一本のサブワード線19がHIGHになる。これによってコラムブロック毎の階層的なワード選択が可能になる。

【0033】例えば読みだし動作の場合には、選択されたコラムブロックに対応するメモリセル領域23に於て、選択されたワードに対応するメモリセル（図示せず）のデータが読み出され、センスアンプブロック13のセンスアンプに格納される。複数のセンスアンプブロック13のうちで、選択されたコラムブロックに対応するセンスアンプブロック13のみが駆動される。

【0034】あるコラムブロックに対応するサブワードデコーダ14乃至17は、各コラムブロックに於て、メモリセル領域23の両側に配置される。図2の例では、あるコラムブロックの4本のサブワード線19のうちで、2本が右側に配置されたサブワードデコーダ16及び17に接続され、残りの2本が左側に配置されたサブワードデコーダ14及び15に接続される。

【0035】従って、各メインワード線18毎に、メインワード線18に直交する方向に配置されるコンタクト24の数は、サブワード線19の本数の1/2となる。図2の例では、サブワード線19は各メインワード線18に4本設けられているので、コンタクト24の数は2個ですむ。従って、各コラムブロック毎にサブワードデコーダ14乃至17を配置する構成にも関わらず、図6のように2つのコラムブロックでサブワードデコーダを共有する場合と同数のコンタクト数で構成することが出来る。

【0036】このように本発明に於ては、メモリセル領域の両側に配置されたサブワードデコーダからサブワード線が当該メモリセル領域に延びるように、コラムブロック毎にサブワードデコーダを配置する。従って、コラムブロック毎にワード選択制御を実行することが出来ると共に、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。

【0037】なお図2に於ては、サブワード線は2本毎に右側或いは左側のサブワードデコーダに接続されるが、これを1本毎としてもよい。図3は、サブワード線を1本毎に左右のサブワードデコーダに接続した例を示す。上述のように、ワード線に直交する方向へのチップサイズの増加を避けることが出来るが、本発明に於ては、ワード線の延長方向へのチップサイズの増加をも避けることが出来る。これはサブワードデコーダを構成する素子の素子領域が、隣り合うサブワードデコーダ間で同一の導電タイプの素子領域となるように構成することで実現できる。

【0038】図4は、半導体記憶装置の基板上に於けるサブワードデコーダのレイアウトを示す図である。また図5は、各サブワードデコーダの回路構成を示す。図4及び図5に於て、図2と同一の構成要素は同一の番号で参照される。図4に於て、サブワードデコーダ14乃至17がP型基板上に形成される。サブワードデコーダ14乃至17の各々には、メインワード線18からメインワード線選択信号MWLと、サブワードデコーダ選択線20からサブワードデコーダ選択信号qdx及び/qdx(x=0、1、2、3)が供給される。またサブワードデコーダ14乃至17は、サブワード線19にサブワード線選択信号SWLx(x=0、1、2、3)を出力する。

【0039】図5に示されるようにサブワードデコーダ

14乃至17の各々は、PMOSTランジスタ40、NMOSTランジスタ41、及びNMOSTランジスタ42を含む。PMOSTランジスタ40及びNMOSTランジスタ42のゲート入力であるサブワードデコーダ選択信号qdxがLOWになり、NMOSTランジスタ41のゲート入力であるサブワードデコーダ選択信号/qdxがHIGHになると、メインワード線選択信号MWLがサブワード線選択信号SWLxとして出力される。

【0040】図4及び図5を参照して、ゲート32を有するPMOSTランジスタ40は、コンタクト31を介してメインワード線18に接続される。またゲート33を有するNMOSTランジスタ41は、コンタクト35を介してメインワード線18に接続される。更に、ゲート34を有するNMOSTランジスタ42は、コンタクト36を介してグランド電位VSSに接続される。

【0041】図4に於て、P型基板にはNwell130が構成される。Nwell上にPMOSTランジスタ40が形成され、P型基板上にNMOSTランジスタ41及び42が形成される。図4に示されるように、本発明に於ては、隣り合うサブワードデコーダ間で同一の素子領域を共有するように構成される。即ち、サブワードデコーダ14のPチャンネルトランジスタ領域(PMOSTランジスタ40が形成される領域)は、サブワードデコーダ15のPチャンネルトランジスタ領域と共通のNwell130に配置される。またサブワードデコーダ15のNチャンネルトランジスタ領域(NMOSTランジスタ41及び42が形成される領域)と、サブワードデコーダ16のNチャンネルトランジスタ領域とは隣り合うように構成される。更に、サブワードデコーダ16のPチャンネルトランジスタ領域とサブワードデコーダ17のPチャンネルトランジスタ領域とは、共通のNwell130を使用できるように、隣り合って配置される。

【0042】上述のように本発明に於ては、サブワードデコーダを配置する際に、各サブワードデコーダのNチャンネルトランジスタ領域及びPチャンネルトランジスタ領域は、隣り合うサブワードデコーダ間で同一タイプの領域が隣り合うように配置される。NwellをP型基板上に形成した場合、Nチャンネルトランジスタは、このNwellからある程度の距離を離して形成する必要がある。しかし本発明のサブワードデコーダの配置によれば、隣り合うサブワードデコーダ間でこのような距離的な条件に対する制限が無く、サブワードデコーダを互いに近接して構成することが出来る。従って、メインワード線18の延在する方向に対して、メモリチップのサイズの増大を避けることが出来る。

【0043】以上、実施例に基づいて本発明は説明されたが、本発明は上述の実施例に限定されるものではなく、特許請求の範囲に記載される範囲内で変形・変更が可能なものである。

【0044】

【発明の効果】請求項1の発明に於ては、コラムブロック毎にメモリセル領域の両側にサブワードデコーダを設けるので、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。

【0045】請求項2の発明に於ては、選択されたコラムブロックに対してのみサブワード線を選択活性化するので、選択コラムブロックのデータのみをアクセスすることが出来る。請求項3の発明に於ては、選択されたコラムブロックに対してのみ該センスアンプブロックを駆動するので、電流消費量を少なく抑えることが出来ると共に、選択コラムブロックのデータのみをアクセスするのでデータが破壊されることを避けることが出来る。

【0046】請求項4の発明に於ては、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。請求項5の発明に於ては、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。

【0047】請求項6の発明に於ては、隣り合うサブワードデコーダ間でNチャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサイズの増大を避けることが出来る。請求項7の発明に於ては、隣り合うサブワードデコーダ間でPチャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサイズの増大を避けることが出来る。

【0048】請求項8の発明に於ては、コラムブロック毎にメモリセル領域の両側にサブワードデコーダを設けるので、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。請求項9の発明に於ては、選択されたコラムブロックに対してのみサブワード線を選択活性化するので、選択コラムブロックのデータのみをアクセスすることが出来る。

【0049】請求項10の発明に於ては、選択されたコラムブロックに対してのみ該センスアンプブロックを駆動するので、電流消費量を少なく抑えることが出来ると共に、選択コラムブロックのデータのみをアクセスするのでデータが破壊されることを避けることが出来る。請求項11の発明に於ては、隣り合うサブワードデコーダ間でNチャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサイズの増大を避けることが出来る。

【0050】請求項12の発明に於ては、隣り合うサブワードデコーダ間でPチャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対する

チップサイズの増大を避けることが出来る。請求項13の発明に於ては、コラムブロック毎にメモリセル領域の両側にサブワードデコーダを設けるので、ワード線に直交する方向に並ぶコンタクト数を少なくすることが出来る。これによりワード線に直交する方向へのチップサイズの増大を避けることが出来る。

【0051】請求項14の発明に於ては、隣り合うサブワードデコーダ間でPチャンネルトランジスタの領域或いはNチャンネルトランジスタの領域を共有するので、サブワードデコーダが並ぶ方向に対するチップサイズの増大を避けることが出来る。

【図面の簡単な説明】

【図1】本発明のサブワードデコーダ配置を用いた半導体記憶装置を示す図である。

【図2】本発明によるサブワードデコーダ配置を示す図である。

【図3】サブワード線を1本毎に左右のサブワードデコーダに接続したサブワードデコーダ配置を示す図である。

【図4】半導体記憶装置の基板上に於けるサブワードデコーダのレイアウトを示す図である。

【図5】サブワードデコーダの回路構成を示す回路図である。

【図6】従来の階層化ワードデコーダ方式のワード線構造を示す図である。

【図7】階層化ワードデコーダ方式の別のワード線構造を示す図である。

【符号の説明】

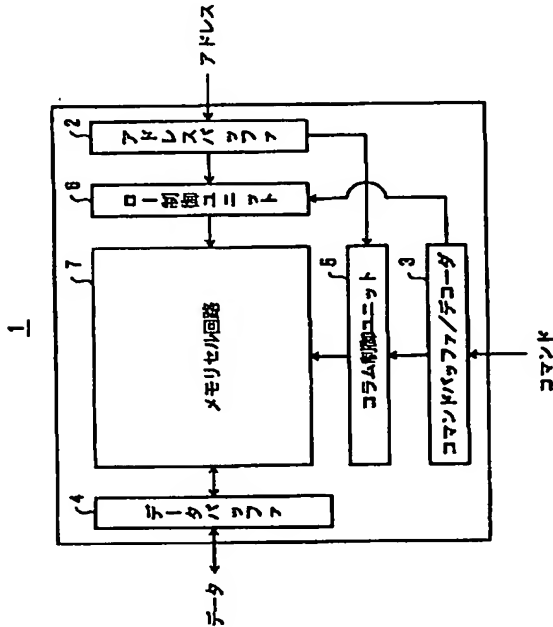
- 1 半導体記憶装置
- 2 アドレスバッファ
- 3 コマンドバッファ/デコーダ
- 4 データバッファ
- 5 コラム制御ユニット
- 6 ロー制御ユニット
- 7 メモリセル回路
- 11 メインワードデコーダ
- 12 サブワードデコーダ選択回路
- 13 センスアンプブロック
- 14、15、16、17 サブワードデコーダ
- 18 メインワード線
- 19 サブワード線
- 20 サブワードデコーダ選択線
- 21 コラムブロック選択線
- 22 サブワードデコーダ制御回路22
- 23 メモリセル領域
- 24 コンタクト
- 201 メインワードデコーダ
- 202 サブワードデコーダ選択回路
- 203 センスアンプブロック
- 204、205、206、207 サブワードデコーダ

208 メインワード線
209 サブワード線

210 サブワードデコーダ選択線
211 コンタクト

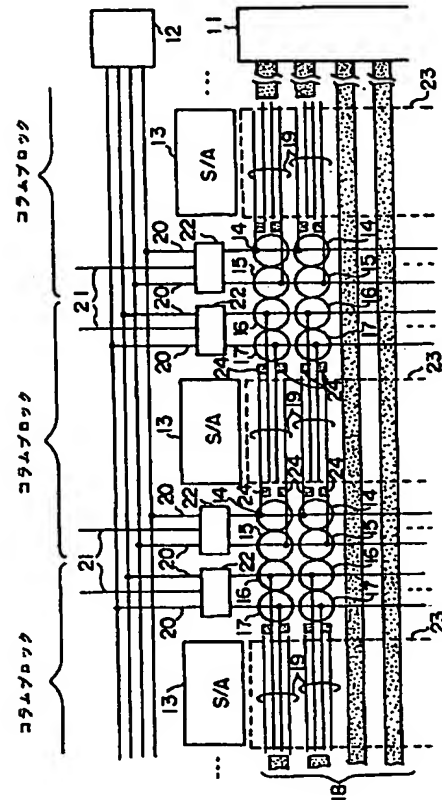
【图 1】

本発明のサブワードデコード配置を用いた半導体記憶装置を示す図



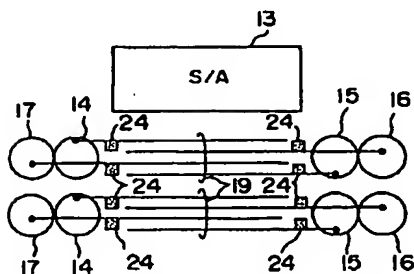
【図 2】

本発明によるサブワードデコード配置を示す図



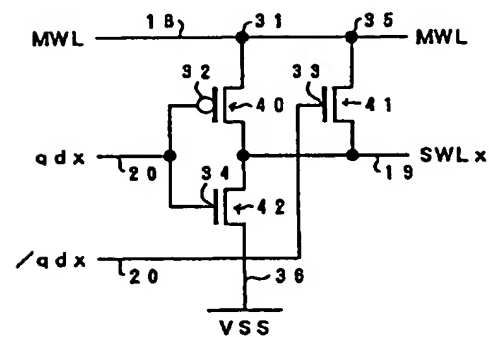
【図 3】

サブワード線を1本毎に左右のサブワードデコードに
接続したサブワードデコード配置を示す図



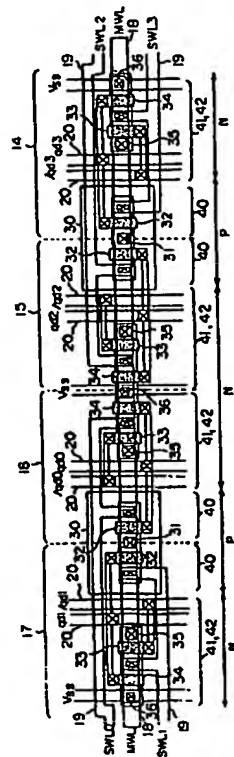
【図5】

従来の階層化ワードデコーダ方式のワード級構造を示す図



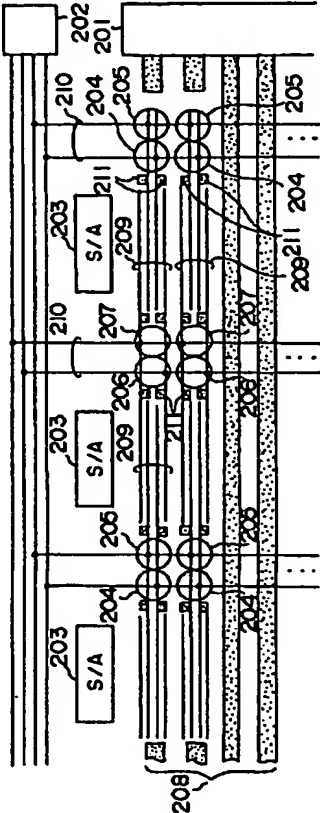
【図4】

半導体記憶装置の基板上に於けるサブワードコードのレイアウトを示す図



【図6】

従来の階層化ワードデコード方式のワード線構造を示す図



【図 7】

階層化ワードデコーダ方式の別のワード線構造を示す図

